

# Scan-Chain 과 IEEE 1500 래퍼를 이용한 SoC 지연 고장 테스트

## Delay Fault Test using Scan-Chains and IEEE 1500 Wrapper

김진규, 이현빈, 이준섭, 정태진, 박성주  
한양대학교 컴퓨터 공학과

{jkkim, bean, jslee, tjung, parks}@mslab.hanyang.ac.kr

### Abstract

With the increasing clock speeds and the decreasing feature sizes found in today's nanometer designs, at-speed testing is a requirement to achieve high quality test results. This paper introduces the interface logic of available at-speed delay fault test, and proposes a test method using a proposed architecture. Experimental results evaluate the efficiency of the proposed method by comparing a fault coverage and the number of test patterns.

### I. 서론

최근 반도체 공정 기술의 발전으로 회로의 직접도가 빠르게 증가하면서 재사용 가능한 여러 IP (Intellectual Property) 코어로 구성된 시스템을 단일 칩으로 구현하는 System-on-a-chip (SoC) 설계가 가능해졌고 복잡한 디지털 회로를 설계 시 재사용 가능한 IP 코어를 사용함으로써 설계 시간은 단축 되었다. 그러나 SoC의 복잡도가 점점 높아지면서 지연으로 인한 고장의 문제가 많이 발생하였고 더 이상 나노미터 공정으로 제조되는 직접 회로를 전통적인 고착 고장에 대해서만 테스트하는 것은 칩의 높은 수준의 질을 보장할 수 없게 되었다[1]. 오늘날, 높은 수준의 테스트 결과를 성취하기 위해 at-speed 테스트는 의무적인 요구사항이 되었다. 과거, at-speed 테스트를 위하여 기능 테스트 방법을 사용하였고 이 방법은 전 경우 테스트를 해야 하기 때문에 비효율적인 테스트 시간 소모 및 테스트 개발 비용을 가중시켰다. 그로 인하여, 구조가 점점 복잡해지고 커지는 SoC의 지연 고장 테스트를 위해 실용적인 테스트 방법에 대한 필요성이 대두 되었고 스캔 기반 구조적 지연 테스트 방법이 나오게 되었다. 스캔 기반 구조적 지연 테스트 방법은 내부 회로에 대한 관측 및 조절 용이도를 향상시켰다.

스캔기반 구조적 지연 테스트는 회로내의 신호 값의 천이를 발생시키기 위한 두 개의 테스트 패턴을 요구하게 된다. 두 개의 테스트 패턴을 회로에 코어 클럭의 주기에 맞추어 연속적으로 인가하여 지연 고장에 대한 테스트를 하게 된다. 지연 고장은 회로 내 신호 진행 시간이 모델링된 지연 시간 보다 늦어지게 되어 발생하는 고장으로 칩 제조과정에서 발생한다. 이런 스캔 기반으로 한 지연 고장에 대한 테스트는 그림 1과 같이 Launch-on-Shift (LOS) 와 Launch-on-Capture (LOC) 방식을 기반으로 한다[2-4]. LOS 방식을 이용하여 LOC 방식 보다 적은 패턴 수를 사용하여 높은 fault coverage를 얻을 수

있지만 실제적으로 LOC 방법을 많이 사용한다. 이유는 스캔 기반의 디자인에서 LOS 방식을 구현하기 위해서는 빠른 속도의 스캔 인에이블 신호를 요구하는데 대부분 디자인에서 지원 못하고 있기 때문이다.

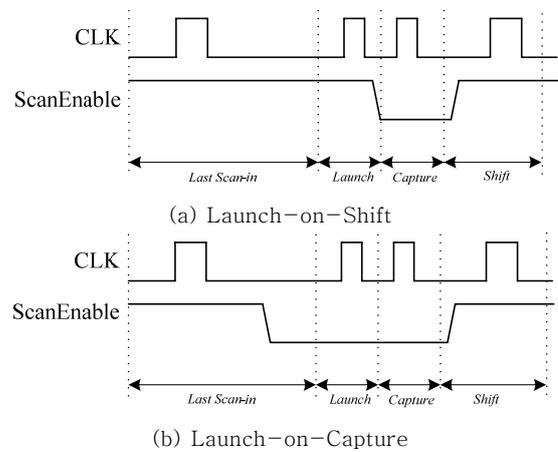


그림 1. Launch-on-Shift 와 Launch-on-Capture 방식의 타이밍도

또한 기존의 연구는 래퍼를 사용하지 않는 스캔 테스트가 주를 이루었는데 2005년에는 SoC의 내장된 IP 코어의 테스트의 어려움을 해결하기 위해 임베디드 코어 (embedded core) 테스트 인터페이스 표준인 IEEE 1500이 완성되었다[5]. 논문 [6]에서는 IEEE 1500 표준을 이용하여 입력과 출력에 대한 래퍼 셀 구조를 변경하고 오실레이션 테스트 방법을 이용하여 지연 고장 테스트를 수행하는 방법을 제안하였다. 논문 [7]에서는 broadside 방식을 이용한 지연 고장 테스트를 수행하기 위하여 IEEE 1500 개선된 래퍼 셀 구조를 제안하였다. 논문 [8-10]에서는 combinational 회로에 두 개의 연속적인 테스트 패턴을 인가하기 위한 2개의 비트를 저장할 수 있는 개선된 스캔 (enhanced scan) 셀 구조를 제안하였는데 이러한 개선된 스캔 셀 구조를 이용함으로써 보다 높은 fault coverage를 얻을 수 있다.

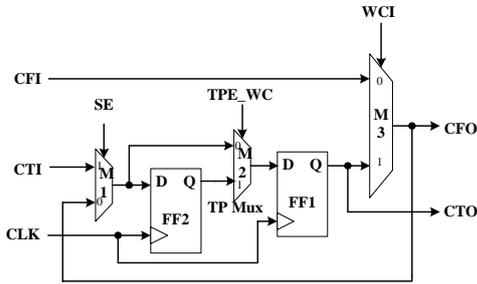
본 논문에서는 fault coverage를 높이기 위해 개선된 IEEE 1500 래퍼 셀 구조와 스캔 셀 구조를 이용하여 IEEE 1149.1의 TAP 제어기를 통하여 제어가 가능한 DFT 방법을 제시하였다. 제시된 구조에는 스캔 기반 지연 고장 테스트뿐만 아니라 Primary Input 값의 천이에 따른 지연 고장 테스트를 가능한 클럭 생성기를 포함하고 있으며, TAP 포트 신호 (TCK, TMS, TDI, TDO, TRST)를 이용하여 테스트를 하기 때문에 보다 적은 테스트 핀 수로 인한 테스트가 가능하면서도 보다 높은 fault coverage를 달성할 수 있다.

## II. Fault Coverage 높이기 위한 Test Mechanism

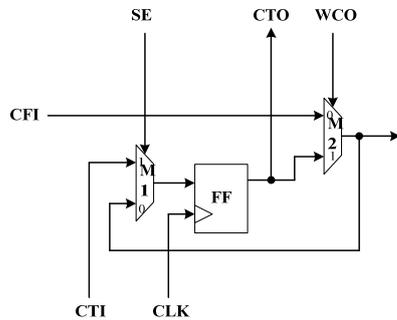
### 1. Enhanced IEEE 1500 Wrapper Cell

IEEE 1500 래퍼는 크게 래퍼 경계 레지스터 (Wrapper Boundary Register (WBR), 래퍼 바이패스 레지스터 (Wrapper Bypass Register(WBY)), 래퍼 명령 레지스터로 (Wrapper Instruction Register(WIR) 구성되어 있다. 그 중 래퍼 경계 레지스터에 대한 기존 연구에서는 테스트 기능 및 면적 오버헤드를 고려한 한 개의 플립-플롭으로 구성된 래퍼가 제시되었다[5]. 그러나 한 개의 플립-플롭으로 구성된 래퍼는 IEEE 1500 표준에서 제시하고 있는 천이 지연 고장 테스트를 지원하지는 Transfer 이벤트를 수행 할 수 없다.

본 논문에서는 Primary Input 값에 대한 천이 지연 고장 테스트를 지원하기 위해 논문 [7]에서 제시한 개선된 래퍼 셀을 사용하였다. 사용된 래퍼 입력 셀 구조는 그림2-(a)와 같으며 지연 테스트를 위한 MUX-2의 제어신호 TPE\_WC 를 '1'로 세팅 하여 두 개의 테스트 패턴을 인가할 수 있다. 지연 테스트 외에 필수 테스트 명령어 WS\_BYPSS, WS\_EXTEST, Wx\_INTEST 등의 단일 패턴을 인가 시 TPE\_WC를 '0'으로 세팅 하여 하나의 플립-플롭만 거치게 함으로써 입력 시간을 절약 할 수 있다. 그림2-(b)는 래퍼 출력 셀로 래퍼 입력 셀과 달리 지연 테스트를 위한 두 패턴 인가시 Launch 된 값에 대한 결과값 하나만을 Capture 하면 되므로 한 개의 플립-플롭으로 이루어져 있으며 면적 오버헤드를 줄였다[5].



(a) 개선된 래퍼 입력 셀  
(Enhanced Wrapper Input Cell (EWIC))



(b) 래퍼 출력 셀 (Wrapper Output Cell (WOC))  
그림 2. 래퍼 경계 셀 (WBC)

### 2. Enhanced Scan Cell

IEEE 1500 표준안에서는 스캔 기반 지연 테스트를 지원한다. 전통적인 스캔 기반 테스트는 그림 3과 같은

한 개의 플립-플롭으로 구성된 스캔 셀을 사용하였다.

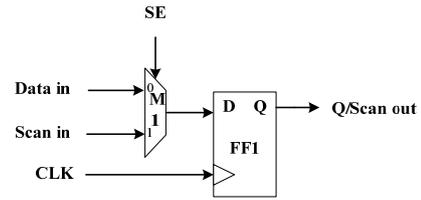


그림 3. Multiplexer 기반 스캔 플립-플롭

본 논문에서는 그림 4와 같은 두 개의 플립-플롭으로 구성된 개선된 스캔 셀을 사용하였다[8-10]. 기존에 제시된 개선된 스캔 셀은 지연 테스트 시 LOC 방법을 사용하면서 combinational 회로를 거친 결과 값이 아닌 독립적으로 두 개의 패턴을 인가하여 지연 테스트가 가능하기 때문에 보다 높은 fault coverage를 얻을 수 있다. 지연 테스트 시 두 개의 패턴을 인가하기 위한 MUX-2의 제어 신호의 TPE\_SCAN 를 '1'로 세팅 함으로써 가능하고 그 외의 테스트 및 Normal 동작 시 TPE\_SCAN 를 '0'으로 세팅 함으로써 한 개의 플립-플롭만 지나가도록 경로를 설정 할 수 있다.

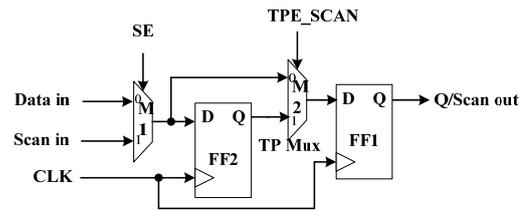


그림 4. 개선된 스캔 셀

### 3. Multiplexer Control Signal

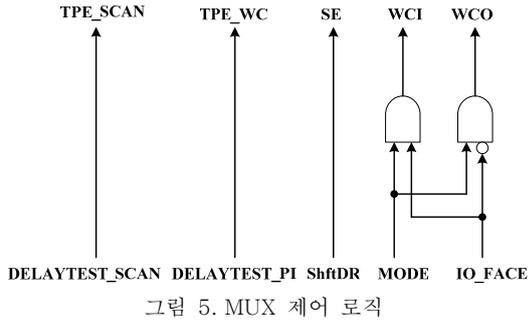
제시된 래퍼 셀 및 스캔 셀의 MUX 제어 신호는 표 1과 같이 정리 할 수 있다. 스캔 인에이블을 가리키는 MUX 제어 신호 SE는 Shift시에 '1'로 세팅하고 Combinational 회로를 거쳐 나온 결과 값을 capture시에는 '0'으로 세팅 되어야 한다.

표 1. Test Mode 및 Normal Mode 에 대한 MUX 제어 값

Mode	WCI	WCO	TPE_SCAN	TPE_WC
Internal Test (One pattern)	1	0	0	0
Delay	Scan Chain	1	0	1
	Primary Input	1	0	1
External Test	0	1	0	0
Bypass	X	X	X	X
Normal Mode	0	0	0	0

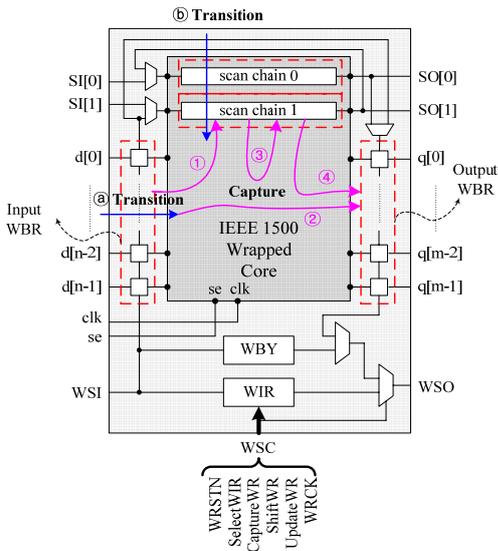
WBC 와 스캔 셀을 제어하기 위해서는 MUX 제어 신호는 생성 로직이 필요하다. 그림 5는 래퍼 셀 및 스캔 셀을 제어하기 위한 MUX 제어 신호 생성 로직으로써, SE는 Wrapper Serial Control (WSC) 신호 중 ShiftWR이 '1'로 세팅 되고 SelectWIR '0'으로 세팅 되었을 때 '1'로 세팅 되는 ShftDR 신호를 직접 연결한다.

TPE\_SCAN 및 TPE\_WC 는 지연 테스트 시 두 개의 패턴을 인가하기 위한 MUX 제어 신호로 WIR Instruction에 따라 DELAYTEST\_SCAN 및 DELAYTEST\_PI 값이 결정 되어 위 두 개의 MUX 제어 신호에 직접 연결된다. WCI와 WCO는 IEEE 1500에서 정의되어 있는 IO\_FACE를 신호를 사용함으로써 쉽게 구현할 수 있다. MODE 및 IO\_FACE 신호도 WIR Instruction에 따라 결정 되는 값으로 MODE 값은 테스트 모드시에는 '1'로 세팅 되고 IO\_FACE는 내부 테스트 (internal test) 또는 외부 테스트(external test, 코어간 연결성 테스트) 에 따라 각각 1 또는 0 값을 가지게 된다.

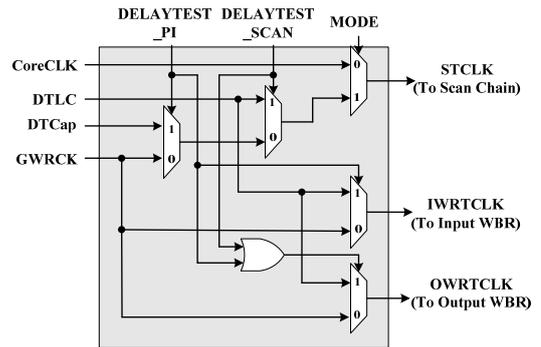


#### 4. At-Speed Test Clock Generator

본 논문에서 제시하고 있는 구조는 기존의 Stuck-at-fault 테스트 뿐만 아니라 코어 클럭을 이용하여 스캔 기반 지연 테스트 및 래퍼를 이용하여 Primary Input 값에 대한 천이 지연 테스트가 가능하다. 그림 6은 래퍼 셀에서 천이가 발생한 경우 ㉑와 스캔 체인에서 천이가 발생하는 경우 ㉒를 도식화 하였다. ㉑와 ㉒는 동시에 발생 할 수 있고 두 곳 중 한 곳에서만 발생할 수 있다. ㉑가 발생하는 경우 DELAYTEST\_SCAN 명령어를 추가하여 ①, ②, ③ 그리고 ④의 경로를 통해 결과 값을 Capture 할 수 있다. 이 장에서는 지연 테스트를 위한 테스트 클럭 생성기와 수행 방법을 제시한다.



입력 WBR의 테스트 클럭을 IWRTCLK, 출력 WBR의 테스트 클럭을 OWRTCLK, 스캔 체인의 클럭을 STCLK이라고 하자. 지연 테스트를 하는 경우 출력 WBR와 스캔 셀은 SE가 '1'인 경우에는 Shift를 수행하고 SE가 '0'인 경우에는 Combinational 회로를 거쳐 나온 결과값을 한번의 Capture를 수행해야 한다. 그림 7은 Normal 모드 뿐만 아니라 회로를 테스트 시 스캔 체인, 입력 WBR, 그리고 출력 WBR에 대한 클럭의 경로를 생성해 주는 회로이다. 특히, 지연 테스트에 따라 DELAYTEST\_PI, DELAYTEST\_SCAN에 의해 제어되는 MUX를 두어 모드에 따라 코어 클럭 속도로 Capture만 할지 Launch와 Capture를 연속으로 할지 결정해준다.



본 논문은 전통적인 지연 테스트 방법인 Launch-on-Capture 방식을 사용하기 때문에 스캔 체인은 SE가 '0'인 구간에서 Launch와 Capture를 수행해야 한다. 논문 [11]은 클럭 게이팅 셀 (clock gating cell(CGC))을 이용해서 글리치 없이 at-speed Launch와 Capture 펄스를 생성하는 회로를 제시하고 있다. 그림 8은 WSC 신호 중 CaptureWR, UpdateWR를 이용하여 생성되는 CapDR, UpDR를 이용 CGC의 입력 신호 en, capen를 생성하여 at-speed Launch-Capture 클럭 (LCCLK)과 Capture 클럭 (CapCLK)을 생성해주는 회로이다.

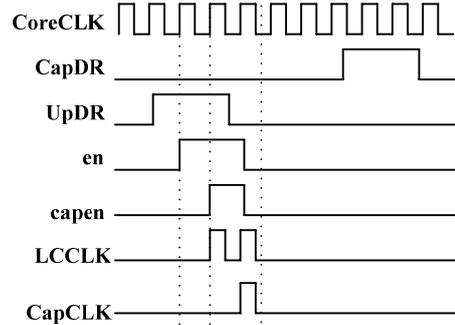
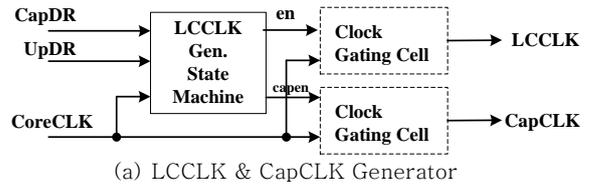


그림 8. At-Speed LCCLK & CapCLK Generator

최종적으로, 지연 테스트 시 래퍼 셀 과 스캔 셀은 SE가 '1'일 때 shift, SE가 '0' 일 때 at-speed LCCLK 또는 at-speed CapCLK를 수행해야 한다. 그림 9는 그림 8의 LCCLK 와 CapCLK를 이용하여 지연 테스트 모드에 따라 사용되는 DTLC, DTCap를 생성해주는 회로이다. 스캔 기반 지연 테스트, 래퍼 셀의 천이에 따른 지연 테스트 그리고 두 셀에서 모두 천이가 발생했을 때의 지연 테스트가 가능하다.

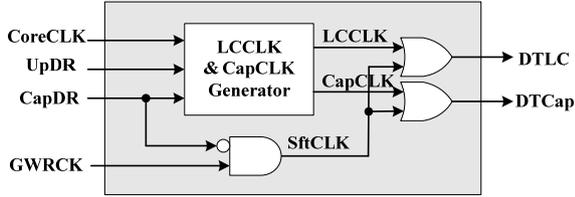


그림 9. At-Speed Delay Test Clock Generator

### III. 실험

본 논문에서 제안하고 있는 인터페이스 회로를 이용하여 개선된 래퍼 셀 및 스캔 셀을 통해 ISCAS89 벤치마크 회로를 이용 지연테스트가 수행 될 수 있음을 시뮬레이션을 통하여 확인하고, Synopsys ATPG tool TetraMax를 이용하여 ISCAS89 벤치마크 회로에 대한 fault coverage 및 패턴 수를 비교한다. 테스트 제어는 IEEE 1149.1 TAP 제어기를 통하여 이루어지고, 테스트 클럭 (TCK)는 50MHz, Core CLK은 125MHz를 인가하였다. 그림 10은 래퍼 셀과 스캔 셀에 대해 모두 천이가 발생했을 때의 입력 래퍼 셀과 스캔 체인에 대해 at-speed Launch-Capture가 동시에 잘 수행 됨을 보여주고 있다.

실험은 한 개의 플립-플롭을 가지고 있을 때의 스캔 기반 테스트 방법 LOC, LOS를 수행하였고 Primary Input 값에 대한 천이가 발생 했을 때와 동시에 발생했을 때 지연 테스트를 수행하였다. 표 2는 ISCAS89 회로에 대한 Fault Coverage 비교 표로 스캔 기반으로만 테스트 했을 경우 Fault Coverage는 각각 평균 65.36%, 84.04%로 낮은 수치를 보임을 알 수 있다. 그에 비해 본 논문에서 제시한 방법을 이용하면 구현하기 쉬운 LOC 방법을 사용하면 Fault Coverage가 평균 98.86% 높은 수치를 보임을 알 수 있다.

표 3은 각 지연 테스트에 대한 패턴 수를 비교한 표이다. 전통적인 스캔 기반 테스트만을 했을 경우 패턴 수가 각각 평균 108, 71개로 제안한 방법보다는 적지만 표 2에서

봤듯이 Fault Coverage가 매우 낮았음을 볼 수 있었다. 그러나 제안한 방법은 스캔 기반 뿐만 아니라 동시에 Primary Input 값의 천이에 대한 지연테스트를 수행 한 경우이기 때문에 일대일 비교는 어렵다. 그리고 Primary Input 값에 대해서만 지연 테스트를 했을 경우 평균 테스트 패턴 수는 평균 83개로 동시에 지연 테스트가 가능한 제안한 방법보다 패턴 수가 오히려 많다는 것을 볼 수 있다

표 2. Fault Coverage 비교

ISCAS89	LOC	LOS	Two Pattern PI	PI,SI (LOC)	Proposed
s1196	13.02%	52.93%	98.11%	98.47%	96.25%
s1238	12.74%	54.48%	96.20%	58.42%	96.49%
s1423	79.58%	97.74%	96.98%	89.70%	99.72%
s5378	64.03%	72.98%	96.15%	68.12%	98.82%
s9234	83.26%	95.72%	98.80%	86.50%	99.67%
s13207	79.70%	89.71%	99.74%	84.84%	99.29%
s15850	71.11%	89.31%	99.70%	82.05%	99.43%
s35932	81.14%	98.11%	99.93%	83.31%	99.46%
s38417	97.21%	98.77%	99.24%	97.35%	99.90%
s38584	71.83%	90.64%	99.32%	79.89%	99.58%
average	65.36%	84.04%	98.42%	82.87%	98.86%

표 3. Test 패턴 수 비교

ISCAS89	LOC	LOS	Two Pattern PI	PI,SI (LOC)	Proposed
s1196	25	41	155	99	135
s1238	23	47	166	85	148
s1423	55	26	58	53	51
s5378	95	84	191	85	154
s9234	187	117	239	171	95
s13207	243	130	344	189	278
s15850	109	86	177	117	174
s35932	32	23	45	42	38
s38417	100	72	208	105	161
s38584	215	88	254	184	253
average	108	71	183	113	148

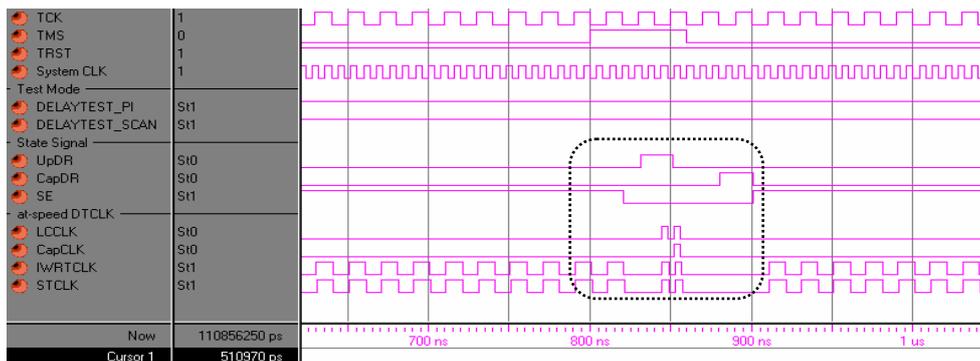


그림 10. 지연고장 테스트 시뮬레이션 결과

#### IV. 결론

본 논문에서는 개선된 IEEE 1500 래퍼 셀과 스캔 셀을 사용하여 fault coverage를 높일 수 있는 at-speed SoC 지연 고장 테스트가 가능한 회로를 제시하였다. IEEE 1149.1에서 제시하는 TAP만을 이용하여 테스트를 제어함으로써 보다 적은 핀 수로 쉽게 접근이 가능하고, IEEE 1500에서 정의 하고 있는 필수 테스트 명령을 수행할 수 있는 구조를 가지고 있다. 또한, at-speed Launch-Capture, Capture 클럭을 생성 회로를 구현하여 스캔 기반 지연 테스트뿐만 아니라 래퍼 셀을 통해 지연 테스트가 가능하도록 하였고 두 개의 패턴으로 지연 테스트 시 기존의 방법과 달리 자신이 원하는 패턴을 인가할 수 있는 구조이기 때문에 구현하기 쉬운 LOC 방법을 사용하면서도 기존의 방법들 보다 높은 테스트 질을 높일 수 있다.

#### Acknowledgement

본 연구보고서는 정보통신부의 출연금 등으로 수행한 정보통신연구개발사업의 연구결과입니다.

#### 참고문헌

- [1] R. Wilson, "Delay-Fault Testing Mandatory, Author Claims," EE Design, Dec. 2002.
- [2] J. Savir, "Skewed-Load Transition Test: Part I, Calculus", in Proc. International Test Conference, 1992, pp.705.
- [3] S. Patil and J. Savir, "Skewed-Load Transition Test: Part II, Coverage", in Proc. International Test Conference, 1992, pp.714.
- [4] J. Savir and S. Patil, "On broad-side delay test", Very Large Scale Integration (VLSI) Systems, vol. 2, 1994, pp.368.
- [5] IEEE Computer Society, "IEEE Standard Testability Method for Embedded Core-based Integrated Circuits," Aug. 2005.
- [6] H. J. Vermaak and H.G. Kerkhoff, "Enhanced P1500 Compliant Wrapper suitable for Delay Fault Testing of Embedded Cores," Proceedings of the Eighth IEEE European Test Workshop, 2003.
- [7] Qiang Xu, Nicola Nicolici, "DFT Infrastructure for Broadside Two-Pattern Test of Core-Based SOCs," IEEE Transactions on Computers, Vol. 55, No. 4, April 2006.
- [8] Y. K. Malaiya and R. Narayanaswamy, "Testing for Timing Faults in Synchronous Sequential Circuits", Proceedings 1983 International Test Conference, pp.560-571
- [9] C. T. Glover and M. R. Mercer, "A Method of Delay Fault Test Generation", Proc. DAC, 1988, pp. 90-95.
- [10] B. I. Dervisoglu and G. E. Stong, "Design for Testability: Using Scanpath Techniques for

Path-Delay Test and Measurement", Proc. ITC, 1991, pp.365-374.

- [11] M. Beck, O. Barondeau, M. Kaibel, F. Poehl, Lub Xijiang and R. Press, "Logic Design for On-Chip Test Clock Generation ? Implementation Details and Impact on Delay Test Quality," Proceedings of the Design, Automation and Test in Europe, 2005.